

DERWENT-ACC-NO: 1990-102748

DERWENT-WEEK: 199014

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Multilayer ceramic board with built-in
inductor,
layer ceramic board capacitor or resistor - has middle
lower than ceramic with vias contg. chip parts of height
board thickness NoAbstract Dwg 1/2

PATENT-ASSIGNEE: MURATA MFG CO LTD [MURA]

PRIORITY-DATA: 1988JP-0204189 (August 17, 1988)

PATENT-FAMILY:

PUB-NO	PAGES	MAIN-IPC	PUB-DATE	LANGUAGE
JP 02052497 A	004	N/A	February 22, 1990	N/A

APPLICATION-DATA:

PUB-NO	APPL-DATE	APPL-DESCRIPTOR	APPL-NO
JP 02052497A	August 17, 1988	N/A	1988JP-0204189

INT-CL (IPC): H05K003/46

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

DERWENT-CLASS: U14 V04

EPI-CODES: U14-H03B; V04-Q09; V04-R05;

⑫ 公開特許公報(A) 平2-52497

⑮ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)2月22日

H 05 K 3/46

Q
H7039-5E
7039-5E

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 多層セラミック基板

⑰ 特 願 昭63-204189

⑱ 出 願 昭63(1988)8月17日

⑲ 発 明 者 万 代 治 文 京都府長岡京市天神2丁目26番10号 株式会社村田製作所
内⑳ 発 明 者 須 郷 公 英 京都府長岡京市天神2丁目26番10号 株式会社村田製作所
内

㉑ 出 願 人 株式会社村田製作所 京都府長岡京市天神2丁目26番10号

㉒ 代 理 人 弁理士 山田 義人

明 細 書

1. 発明の名称

多層セラミック基板

2. 特許請求の範囲

上層、中層および下層の3層に積層される複数のセラミック基板、

前記上層および前記下層の少なくとも一方のセラミック基板に形成される導電パターン、

前記中層のセラミック基板に形成され、チップ部品を収納するための貫通孔、および

前記貫通孔に収納されて前記上層および前記下層の少なくとも一方のセラミック基板に形成された前記導電パターンと接続されるとともに、その高さが前記中層のセラミック基板の厚みより小さいチップ部品を備え、前記チップ部品の高さと前記中層のセラミック基板の厚みとの差によって空気層が形成される、多層セラミック基板。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は多層セラミック基板に関し、特に基

板内にインダクタ、キャパシタあるいは抵抗などを内蔵する、多層セラミック基板に関する。

〔従来技術〕

この種の多層セラミック基板を製造する場合、よく知られているように、複数のセラミックグリーンシートを準備し、各々のセラミックグリーンシート上に、インダクタ、キャパシタあるいは抵抗等を形成するのに必要な導体等を形成し、それぞれのセラミックグリーンシートを積層し圧着した後一体焼成していた。

〔発明が解決しようとする課題〕

上述のような従来の多層セラミック基板では、一体焼成をしているために、個別にトリミングすることができないので、内蔵された部品のインダクタンス、キャパシタンスあるいは抵抗の値にばらつきがあった。

たとえば、特開昭62-196811号公報には、このような同時焼成による収縮率の違いを問題にし、それぞれ個別に焼成したキャパシタとなる積層セラミック体と薄いセラミック基板とを一

体的に接合する方法が開示されている。

この方法によれば同時一体焼成に伴う収縮率の差に起因する問題は回避できるものの、前述のばらつきに対する解決は何等なされていない。しかも、キャパシタの数を増やしたり、他の要素と混在させるのに困難があった。

それゆえに、この発明の主たる目的は、精度のよいインダクタ、キャパシタまたは抵抗を内蔵することができる、多層セラミック基板を提供することである。

〔課題を解決するための手段〕

この発明は、簡単にいえば、上層、中層および下層の3層に積層される複数のセラミック基板、上層および下層の少なくとも一方のセラミック基板に形成される導電パターン、中層のセラミック基板に形成され、チップ部品を収納するための貫通孔、および貫通孔に収納されて上層または下層の少なくとも一方のセラミック基板に形成された導電パターンと接続されるとともに、その高さが中層のセラミック基板の厚みより小さいチップ部

品を備え、チップ部品の高さと同層のセラミック基板の厚みとの差によって空気層が形成される、多層セラミック基板である。

〔作用〕

中層のセラミック基板に形成された貫通孔に内蔵されたチップ部品、たとえばインダクタやキャパシタあるいは抵抗などが、上層および下層の少なくとも一方のセラミック基板に形成された導体に、たとえばはんだ等によって接続固定される。このとき、チップ部品の高さが中層のセラミック基板の厚さより小さいので、貫通孔には空気層が形成される。

〔発明の効果〕

この発明によれば、中層のセラミック基板に貫通孔を形成してそこにチップ部品を収納するようにしているので、予め調整した最適の値を有するインダクタやキャパシタあるいは抵抗などを必要に応じて任意に収納することができる。したがって、従来の多層セラミック基板に比べて、基板の高密度化が可能となるとともに、各チップ部品の

インダクタンスやキャパシタンスあるいは抵抗等の値のばらつきを最小にできる。

また、空気層を形成することができるので、この空気層によって実効誘電率を低下させることができる。したがって、上層または下層のセラミック基板表面に形成された導電パターンにおける信号伝達遅延が改善される。

この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の実施例の詳細な説明から一層明らかとなろう。

〔実施例〕

第1図はこの発明の一実施例の要部を示す断面図解図であり、第2図は分解斜視図である。多層セラミック基板10は、個別に焼成されかつ互いに一体的に接合された上層、中層および下層のそれぞれのセラミック基板12、14および16を含む。これらセラミック基板12、14および16は、たとえばはんだバンプ18などの導電材料によって一体的に接合される。必要に応じて、さらにガラスなどで接合するようにしてもよい。

中層のセラミック基板14には、チップ部品を収納するための収納孔20が形成される。その収納孔20には、チップ部品としてインダクタ、キャパシタあるいは抵抗などのチップ部品22がそれぞれ収納される。チップ部品22の高さは、セラミック基板14の厚さより小さく設定され、したがって収納孔20にチップ部品22が収納されたとき、収納孔20の一部は空気層として残る。

なお、収納孔20に収納されたチップ部品22も、はんだバンプ18によって、セラミック基板16と一体的に固定される。

セラミック基板12、14および16には、それぞれ、所望部に、スルーホール導体24が形成される。スルーホール導体24は、それぞれ、セラミック基板12、14および16の上面または下面に形成された配線パターン26に直接接続され、また所望のはんだバンプ18に接続される。したがって、収納孔20に収納されているチップ部品22はセラミック基板14に形成された配線パターン26によって相互に、また、はんだバン

プ18およびスルーホール導体24を介して、必要な配線パターン26とそれぞれ接続され得る。

第1図に示す多層セラミック基板10では、収納孔20の一部が空気層として残されるので、セラミック基板12、14および16の上面に形成された配線パターン26上での実効誘電率は低下する。したがって、セラミック基板12、14および16上に形成されている配線パターン26における信号の伝搬遅延は小さくなる。

第1図実施例の多層セラミック基板10を製造する場合、まず、各セラミック基板12、14および16となるべきセラミックグリーンシート（図示せず）を準備する。このとき、各セラミック基板12～16に、必要な配線パターンやスルーホール導体となるべき導体ペーストを印刷しておくとともに、中層のセラミック基板12の収納孔20のための孔を穿けておく。そして、それぞれのグリーンシートを個別に焼成して各セラミック基板12～16を得る。

その後、まず、下層のセラミック基板16上に

はんだバンブ18を印刷等によって必要な位置に形成し、その上に中層のセラミック基板14を置いて位置合わせする。各収納孔20に所定のチップ部品22（第1図）を収納する。このとき、チップ部品22の接続電極が先に形成されているはんだバンブ18と位置的に対応するように位置決めされる。

次いで、中層のセラミック基板14の上および／または上層のセラミック基板12の下面に、はんだバンブ18を印刷等によって必要な位置に形成する。そして、中層のセラミック基板14上に上層のセラミック基板12を載せて位置合わせする。

その後、たとえば炉に入れるなどして、はんだバンブ18を溶かして、前述のように、各層のセラミック基板12～16が一体的に積層接合されるとともに、チップ部品22が配線パターン26と接続される。

上述の実施例では、上層、中層および下層を構成するセラミック基板12、14および16はそ

れぞれ単板であったが、これらの任意のものがそれぞれ多層基板であってもよい。また、積層枚は3枚以上であってもよい。この場合、上層および／または下層のセラミック基板12および／または16はそれぞれ複数層のセラミック基板が集まったものとして表されることになる。

なお、上述の実施例における各層のセラミック基板12～16はアルミナ等の任意のセラミック材料で形成できるが、信号伝搬遅延を考慮するなら、低温焼結の低誘電率のセラミック材料を用いることが望ましい。

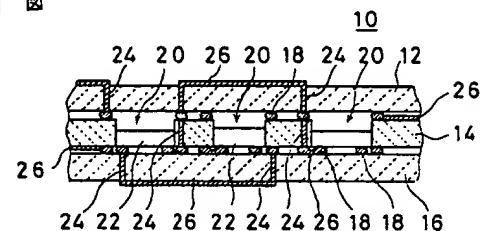
4. 図面の簡単な説明

第1図はこの発明の一実施例の要部を示す断面図解図である。

第2図は第1図実施例の製造過程を説明するための斜視図である。

図において、12、14および16はセラミック基板、18ははんだバンブ、20は収納孔、22はチップ部品、24はスルーホール導体、26は配線パターンを示す。

第1図



第2図

